

JP63025979

Biblio

Page 1

esp@cenet

## SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP63025979

Publication date: 1988-02-03

Inventor(s): OKUYAMA KOSUKE

Applicant(s):: HITACHI LTD

Requested Patent:  JP63025979

Application Number: JP19860167937 19860718

Priority Number(s):

IPC Classification: H01L29/78

EC Classification:

Equivalents:

### Abstract

PURPOSE: To make it possible to improve the integration density of a semiconductor integrated circuit device having a field effect transistor, by diffusing impurities beneath a conductor layer, forming a drain region or a source region, depositing a gate electrode material on the entire surface of the side part of the conductor layer, performing anisotropic etching, and forming a gate electrode.

CONSTITUTION: A conductor layer 4 is provided on the main surface of a first semiconductor region 1 of a first-conductivity type, which is electrically isolated from other regions. A second semiconductor region 5 of a second-conductivity type is provided on the main surface part beneath the conductor layer 4. A gate insulating film 6A is provided on the main surface of the first semiconductor region 1 at the side part of the conductor layer 4. A gate electrode material is deposited on the gate insulating film 6A and the entire surface of the conductor layer 4. Thereafter anisotropic etching is performed, and a gate electrode 7 is formed. A third semiconductor region 9 of a second-conductivity type is provided on the main surface of the first semiconductor region 1 at one side part of the gate electrode 7 at a position facing the second semiconductor region 5. The region 9 is formed by introducing impurities with the gate electrode 7 as an impurity introducing mask. Thus the field effect transistor is constituted.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A)

昭63-25979

⑫ Int.Cl.

H 01 L 29/78

識別記号

371

序内整理番号

7514-5F

⑬ 公開 昭和63年(1988)2月3日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路装置

⑮ 特願 昭61-167937

⑯ 出願 昭61(1986)7月18日

⑰ 発明者 奥山 幸祐 東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内

⑱ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代理人 弁理士 小川 勝男 外1名

## 明細書

## 1. 発明の名称

半導体集積回路装置

## 2. 特許請求の範囲

1. 電界効果トランジスタを有する半導体集積回路装置において、他の領域と電気的に分離された第1導電型の第1半導体領域の主面上に導電層を設け、該導電層下の第1半導体領域の主面部分に第2導電型の第2半導体領域を設け、前記導電層の側部の第1半導体領域の主面上に、ゲート絶縁膜を介在させ、該ゲート絶縁膜上及び前記導電層上の全面に堆積した後に異方性エンチャーニングを施して形成されるゲート電極を設け、前記第2半導体領域と対向する位置のゲート電極の一側部の第1半導体領域の主面部分に、前記ゲート電極を不純物導入用マスクとして不純物を導入して形成される第2導電型の第3半導体領域を設けたことを特徴とする半導体集積回路装置。

2. 前記電界効果トランジスタは、記憶機能を形

成するメモリセルを構成し、前記導電層は、データ線若しくはソース線を構成することを特徴とする特許請求の範囲第1項に記載の半導体集積回路装置。

3. 前記電界効果トランジスタは、紫外線消去型不揮発性記憶機能を形成するメモリセルを構成し、前記ゲート電極は、フローティングゲート電極を構成し、このフローティングゲート電極上には、ゲート絶縁膜を介在させてコントロールゲート電極が構成されていることを特徴とする特許請求の範囲第1項又は第2項に記載の半導体集積回路装置。

4. 前記ゲート電極は、CVDで全面に堆積した後、反応性イオンエンチャーニングを施して形成されることを特徴とする特許請求の範囲第1項に記載の半導体集積回路装置。

5. 前記第2半導体領域、ゲート電極、第3半導体領域の次々は、前記導電層に対して自己整合的に形成されていることを特徴とする特許請求の範囲第1項乃至第4項に記載の次々の半導体

## 集積回路装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、半導体集積回路装置、特に、電界効果トランジスタを有する半導体集積回路装置に適用して有効な技術に関するものである。

## 〔従来の技術〕

紫外線消去型の不揮発性記憶機能を有する半導体集積回路装置(以下、E PROMという)は、電界効果トランジスタでメモリセルを構成している。このメモリセルは、夫々、異なる方向に延在するワード線とデータ線との交差部に設けられている。

電界効果トランジスタは、フローティングゲート電極とコントロールゲート電極とを有している。1 [bit] の情報を保持する 1 つのメモリセルは、1 つの電界効果トランジスタで構成することができる。このように、E PROMは、比較的単純な構造の電界効果トランジスタでメモリセルを構成しているので、高集成化を図り易い特徴がある。

なお、E PROMについては、例えば、株式会

社 サイエンスフォーラム「超LSIデバイスハンドブック」昭和58年11月28日発行、p314～に記載されている。

## 〔発明が解決しようとする問題点〕

本発明者は、前述のE PROMの集成度の向上について検討した結果、次の問題点が生じることを見出した。

E PROMのメモリセルのサイズは、ゲート電極の加工精度と、ゲート電極とデータ線(例えば、アルミニウム配線)との離隔寸法(コント余裕)に大きく依存する。ゲート電極の加工精度は、エッチングマスクとして使用されるフォトレジスト膜の解像度で決まる。ところが、光学的特性により、例えば、1.0 [ $\mu\text{m}$ ] 程度以下の解像度を得ることが技術的に極めて難しい。また、ゲート電極とデータ線とは、製造工程におけるマスク合せ余裕寸法が必要となるので、離隔寸法が大きくなる。このため、メモリセル面積の縮小に限界があるので、E PROMの高集成化を図ることができないという問題を生じる。

本発明の目的は、電界効果トランジスタを有する半導体集積回路装置において、集成度を向上することが可能な技術を提供することにある。

本発明の他の目的は、電界効果トランジスタを有する半導体集積回路装置において、光学的な解像度に関係なく、ゲート電極の加工精度を向上することが可能な技術を提供することにある。

本発明の他の目的は、電界効果トランジスタを有する半導体集積回路装置において、ゲート電極とソース若しくはドレイン領域に接続される導電層との離隔寸法を縮小することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

電界効果トランジスタを有する半導体集積回路装置において、前記電界効果トランジスタを、不

純物拡散層となる導電層下にその不純物を拡散して形成したドレイン領域若しくはソース領域と、前記導電層の側部に、全面に堆積した後に異方性エッチングを施して形成したゲート電極と、該ゲート電極の側部に、不純物を導入して形成したソース領域若しくはドレイン領域とで構成する。

## 〔作用〕

上記した手段によれば、光学的な解像度に関係なく、堆積する膜厚と異方性エッチング量とでゲート電極の加工寸法を制御できるので、前記ゲート電極の加工寸法を縮小することができ、しかも、前記ゲート電極は、導電層に対して自己整合的に形成し、製造工程におけるマスク合せ余裕寸法をなくし、導電層との間の離隔寸法を縮小することができる。したがって、電界効果トランジスタの面積を縮小し、半導体集積回路装置の集成度を向上することができる。

## 〔実施例〕

以下、本発明の構成について、本発明を、E ROMに適用した一実施例とともに説明する。

なお、全図において、同一の機能を有するものは同一の符号を付け、その繰り返しの説明は省略する。

本発明の一実施例であるE PROMのメモリセルを第1図(要部平面図)で示し、第1図のⅡ-Ⅱ線で切った断面を第2図で示す。なお、第1図は、本実施例の構成をわかりやすくするために、各導電層間に設けられるフィールド絶縁膜以外の絶縁膜は図示しない。

第1図及び第2図において、1は単結晶シリコンからなるp型の半導体基板(又はウエル領域)である。行方向に配置されたメモリセル形成領域間の半導体基板1の主面には、フィールド絶縁膜2、p型のチャネルストップ領域3の夫々が設けられている。フィールド絶縁膜2、チャネルストップ領域3の夫々は、メモリセル間を電気的に分離するように構成されている。

E PROMのメモリセルMは、フィールド絶縁膜2で規定された領域の半導体基板1の主面に形成されている。つまり、メモリセルMは、半導体

基板1、ゲート絶縁膜6A、フローティングゲート電極(FG)7、ゲート絶縁膜8、コントロールゲート電極(CG)10、ドレイン領域であるp型の半導体領域5及びソース領域であるn型の半導体領域9で形成された電界効果トランジスタで構成されている。

前記ドレイン領域である半導体領域5は、不純物拡散源からなるデータ線(DL)4下の半導体基板1の主面に設けられている。データ線4は、ドレイン領域形成領域の半導体基板1の主面上に直接々触して設けられ、フィールド絶縁膜2上を行方向に延在するように構成されている。つまり、半導体領域5は、データ線4に導入されているn型不純物(例えば、As, P)を半導体基板1の主面に拡散して形成されており、データ線4に対して自己整合的に形成されている。データ線4は、不純物拡散源となる導電層、例えば多結晶シリコン膜、高融点金属シリサイド(MoSi<sub>2</sub>, TaSi<sub>2</sub>, TiSi<sub>2</sub>, WS<sub>2</sub>)膜の单層で構成する。また、データ線4は、多結晶シリコン膜上に、高融点金

属シリサイド膜若しくは高融点金属(Mo, Ta, Ti, W)膜を設けた複合膜で構成してもよい。

フローティングゲート電極7は、データ線4の側部の半導体基板1の主面上に、ゲート絶縁膜6Aを介在させて設けられている。フローティングゲート電極7は、絶縁膜6Bを介在させて、データ線4と電気的に分離されている。フローティングゲート電極7は、後述するが、ゲート絶縁膜6A上及びデータ線4上の全面に導電層を堆積した後、反応性イオンエッティング等の異方性エッティングを施して形成される。すなわち、フローティングゲート電極7は、データ線4に対して自己整合的に形成される。フローティングゲート電極7は、例えば、多結晶シリコン膜で構成する。

ソース領域である半導体領域9は、半導体領域5と対向する位置のフローティングゲート電極7の一側部の半導体基板1の主面に設けられている。半導体領域9は、フローティングゲート電極7に対して自己整合的に構成されている。半導体領域9は、列方向及び行方向に配置された他のメ

モリセルMの半導体領域9と一体に構成され、ソース線(SL)を構成する。

コントロールゲート電極10は、ゲート絶縁膜8を介在させて、フローティングゲート電極7の上部に設けられている。コントロールゲート電極10は、列方向に延在するワード線(WL)10Aと一体に構成されている。コントロールゲート電極10(及びワード線10A)は、前記データ線4と同様の導電性材料で構成する。また、コントロールゲート電極10は、单層の高融点金属膜で構成してもよい。

次に、本実施例のE PROMの製造方法について、第3図乃至第6図(各製造工程毎に示すメモリセルの要部断面図)を用いて説明する。

まず、メモリセル形成領域間の半導体基板1の主面に、フィールド絶縁膜2、p型のチャネルストップ領域3を夫々形成する。

次に、フィールド絶縁膜2で規定された領域内であって、ドレイン領域形成領域の半導体基板1の主面上に、データ線4を形成する。データ線4

は、例えば、n型不純物を導入した多結晶シリコン膜で形成する。

この後、所定の熱処理を施し、第3図に示すように、データ線4からn型不純物を半導体基板1の主面部に拡散し、n型の半導体領域5を形成する。半導体領域5は、データ線4に対して自己整合的に形成される。半導体領域5は、例えば、 $10^3 \text{ [atoms/cm}^2\text{]}$ 程度の不純物濃度で形成する。

次に、熱酸化を施し、第4図に示すように、半導体基板1の主面上にゲート絶縁膜6Aを形成すると共に、データ線4を覆う絶縁膜6Bを形成する。絶縁膜6Bは、ゲート絶縁膜6Aに比べて厚い膜厚で形成される。具体的には、ゲート絶縁膜6Aは $200 \sim 300 \text{ [\AA]}$ 程度の膜厚で形成され、絶縁膜6Bは、 $2000 \sim 3000 \text{ [\AA]}$ 程度の膜厚で形成される。

次に、ゲート絶縁膜6A上、絶縁膜6Bを介在させたデータ線4上を含む基板全面に、例えば多結晶シリコン膜からなる導電層を形成する。この導電層は、平坦部及び段差部での膜厚の均一化が

なくし、データ線4との離隔寸法を縮小することができる。したがって、メモリセルMの面積を縮小することができるので、EPROMの集積度を向上することができる。

次に、少なくともフローティングゲート電極7上にゲート絶縁膜8を形成する。ゲート絶縁膜8は、熱酸化で形成した酸化シリコン膜で形成する。そして、第6図に示すように、フローティングゲート電極7を不純物導入用マスクとして用い、フローティングゲート電極7の一側部に、ソース領域であるp型の半導体領域9を形成する。この半導体領域9を形成する工程で、ソース線S-Lが形成される。半導体領域9及びソース線S-Lは、例えば、p型の不純物をイオン打込みで半導体基板1の主面部に導入することで形成できる。したがって、半導体領域9及びソース線S-Lは、フローティングゲート電極7に対して自己整合的に形成される。

次に、前記第1図及び第2図に示すように、ゲート絶縁膜8を介在して、フローティングゲート

可能な例えはCVDで形成する。この後、前記導電層に反応性イオンエッチング等の異方性エッチングを施し、第5図に示すように、フローティングゲート電極7を形成する。フローティングゲート電極7のチャネル長方向の寸法は、例えば、 $0.4 \sim 0.5 \text{ [\mu m]}$ 程度で形成される。

この後、フローティングゲート電極7は、チャネル幅方向の寸法を規定するためにエッチングが施される。つまり、行方向に隣接して配置された夫々のメモリセルMのフローティングゲート電極7間を、電気的に分離する。

このように構成されるフローティングゲート電極7の加工寸法は、光学的な解像度に關係なく、導電層の堆積した膜厚と、異方性エッチング量とで制御することができる。すなわち、フローティングゲート電極7の加工寸法、特に、チャネル長(ゲート長)の加工寸法を縮小することができる。しかも、フローティングゲート電極7は、データ線4に対して、自己整合的に構成することができるので、製造工程におけるマスク合せ余裕寸法を

電極7上にコントロールゲート電極10を形成すると共に、ワード線10Aを形成する。このコントロールゲート電極10を形成する工程を施すことにより、電界効果トランジスタからなるメモリセルMが形成され、EPROMが完成する。

このように、メモリセルMを構成する電界効果トランジスタは、半導体領域5及び9、フローティングゲート電極7の夫々を、データ線4に対して自己整合的に形成することができるので、製造工程におけるマスク合せ余裕寸法をなくすことができる。したがって、メモリセルMの占有面積を著しく縮小することができるので、EPROMの集積度を著しく向上することができる。

なお、本発明は、データ線4とソース線S-Lとを入れ替えて構成してもよい。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変形し得ることは勿論である。

例えば、本発明は、電界効果トランジスタをメモリセルとする電気的消去型の不揮発性記憶機能を備えた半導体集積回路装置(EEPROM)に適用してもよい。

また、本発明は、MISFETをメモリセルとする流出口専用の不揮発性記憶機能を備えた半導体集積回路装置(Mask ROM)に適用してもよい。

また、本発明は、ダイナミック型若しくはスタッカック型ランダムアクセスメモリを備えた揮発性記憶機能を有する半導体集積回路装置に適用してもよい。具体的には、データ線に接続されたメモリセル選択用のスイッチ用MISFETに適用することができる。

#### (発明の効果)

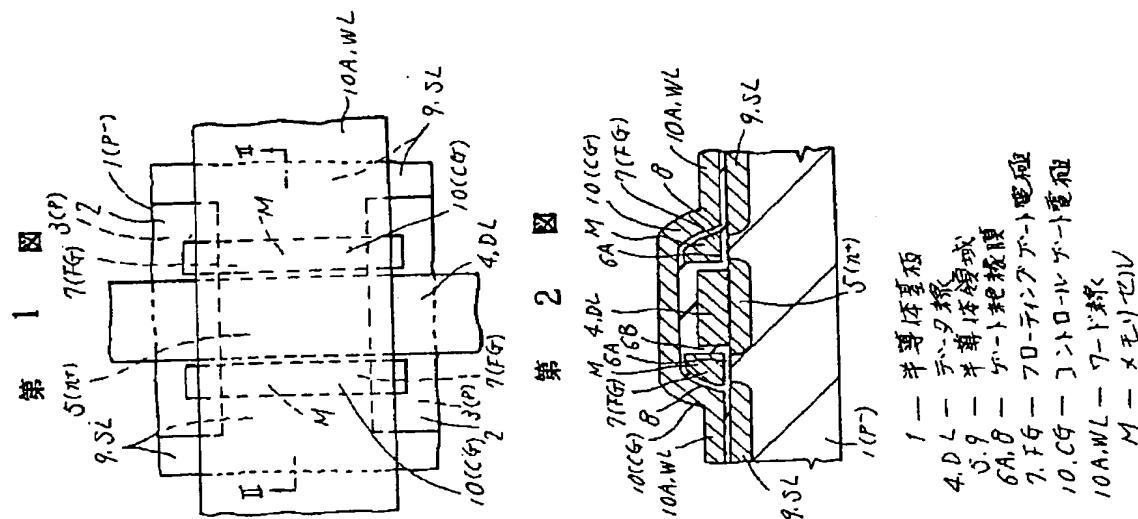
本願において開示される発明のうち、代表的なものによって得ることができる効果を簡単に説明すれば、次のとおりである。

電界効果トランジスタを有する半導体集積回路装置において、光学的な解像度に關係なく、ゲート電極の加工寸法を堆積する膜厚と異方性エッチング量とで制御し、ゲート電極の加工寸法を縮小することができ、しかも、前記ゲート電極は、導電層に対して自己整合的に形成され、製造工程におけるマスク合せ余裕寸法をなくすことができる。したがって、電界効果トランジスタの面積を縮小し、半導体集積回路装置の集成度を向上することができる。

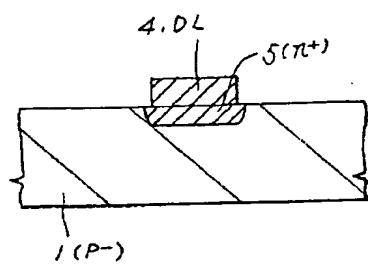
4. 図面の簡単な説明  
第1図は、本発明の一実施例であるEPROMのメモリセルを示す要部平面図。  
第2図は、第1図のII-II線で切った断面図。  
第3図乃至第6図は、前記第1図及び第2図に示すメモリセルの各製造工程毎の断面図である。

図中、1…半導体基板、4…DL…データ線、5, 9…半導体領域、6A, 8…ゲート絶縁膜、7, FG…フローティングゲート電極、10, CG…コントロールゲート電極、10A, WL…ワード線、M…メモリセルである。

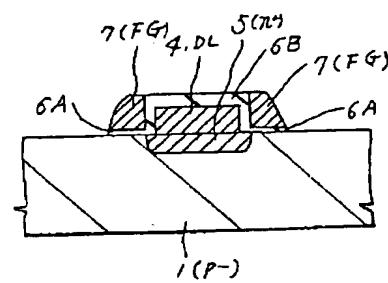
代理人 弁理士 小川勝男



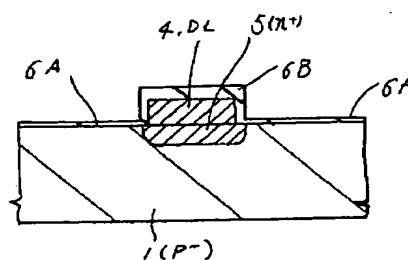
第 3 図



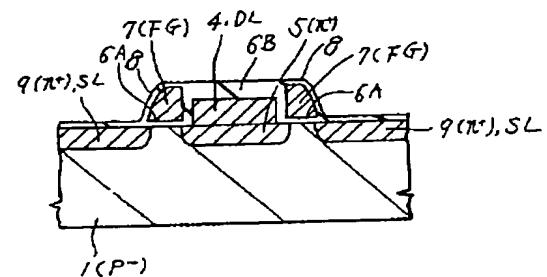
第 5 図



第 4 図



第 6 図



(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(11) 63-25978 (A) (43) 3.2.1988 (19) JP

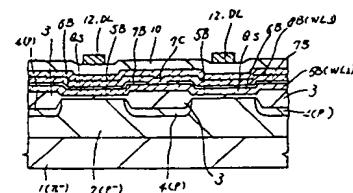
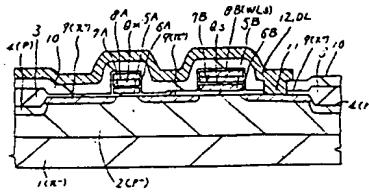
(21) Appl. No. 61-167933 (22) 18.7.1986

(71) HITACHI LTD (72) KAZUHIRO KOMORI(1)

(51) Int. Cl. H01L29/78, H01L27/10

**PURPOSE:** To make it possible to improve the integration density and the electric reliability of an EEPROM, by forming the floating electrode and the control gate electrode of a field effect transistor for information memory and the gate electrode and the word line of a switching field effect transistor by overlapping and cutting.

**CONSTITUTION:** A floating gate electrode 6A and a control gate electrode 8A provided thereon in a field effect transistor Qm for information memory are formed by overlapping and cutting. A word line 8B, which is formed with the same conductor layer for the control gate electrode 8A, is formed on a gate electrode 6B of a switching field effect transistor Qs. The gate electrode 6B of the switching field effect transistor Qs is formed with the same conductor layer for said floating gate electrode 6A by overlapping with said word line 8B and by cutting both parts. Thus the size of mask aligning allowance in manufacturing processes is reduced. The integration density is improved. The etching conditions are made approximately uniform. Deterioration in dielectric strength of the gate insulating film and the like are reduced, and the electric reliability can be improved.



(54) SEMICONDUCTOR MEMORY DEVICE

(11) 63-25979 (A) (43) 3.2.1988 (19) JP

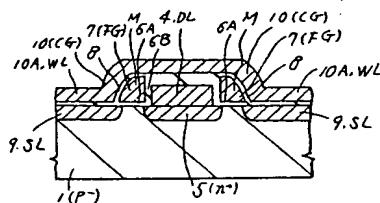
(21) Appl. No. 61-167937 (22) 18.7.1986

(71) HITACHI LTD , (72) KOSUKE OKUYAMA

(51) Int. Cl<sup>4</sup>. H01L29/78

**PURPOSE:** To make it possible to improve the integration density of a semiconductor integrated circuit device having a field effect transistor, by diffusing impurities beneath a conductor layer, forming a drain region or a source region, depositing a gate electrode material on the entire surface of the side part of the conductor layer, performing anisotropic etching, and forming a gate electrode.

**CONSTITUTION:** A conductor layer 4 is provided on the main surface of a first semiconductor region 1 of a first-conductivity type, which is electrically isolated from other regions. A second semiconductor region 5 of a second-conductivity type is provided on the main surface part beneath the conductor layer 4. A gate insulating film 6A is provided on the main surface of the first semiconductor region 1 at the side part of the conductor layer 4. A gate electrode material is deposited on the gate insulating film 6A and the entire surface of the conductor layer 4. thereafter anisotropic etching is performed, and a gate electrode 7 is formed. A third semiconductor region 9 of a second-conductivity type is provided on the main surface of the first semiconductor region 1 at one side part of the gate electrode 7 at a position facing the second semiconductor region 5. The region 9 is formed by introducing impurities with the gate electrode 7 as an impurity introducing mask. Thus the field effect transistor is constituted.



(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

(11) 63-25980 (A) (43) 3.2.1988 (19) JP

(21) Appl. No. 61-169116 (22) 17.7.1986

(71) NEC CORP (72) SUSUMU HASUNUMA

(51) Int. Cl<sup>4</sup>. H01L29/78

**PURPOSE:** To implement a memory transistor, in which the capacitance between a drain and a floating gate is small, high-speed writing is possible and a writing part and a reading part form a unitary body, by arranging an impurity region, which is connected to the drain, in a self-aligning manner together with a charge injecting region in a gate insulating film.

**CONSTITUTION:** A second conductivity type impurity region 4, which is connected to a drain (or source) 9b, is provided on one main surface of a first conductivity type semiconductor substrate 1. A floating gate 6b is formed on the impurity region 4 through a gate insulating film 3b, which is provided with a charge injecting region 5. Said impurity region 4 and the charge injecting region 5 are arranged in a self-aligning manner. For example, on the surface of the P type substrate 1, the following regions are provided: N<sup>+</sup> type drain regions 9a and 9b; the charge injecting N<sup>+</sup> type region 4, which is connected to the region 9b through an N type impurity region 2; and an N<sup>+</sup> type source region 9c. Selecting gates 6a and 8a are laminated on the substrate 1 between the regions 9a and 9b through gate insulating films 3a and 7a. The floating gate 6b and a control gate 8b are laminated through the insulating film 3b, which becomes the thin tunnel insulating film 5 on the region 4, and another insulating film 7b.

